

**DERS ÖĞRETİM PLANI**

<b>Dersin Adı</b>	Sayısal Tasarım
<b>Dersin Kodu</b>	EE 203
<b>Dersin Türü (Zorunlu, Seçmeli)</b>	Zorunlu
<b>Dersin Seviyesi (Ön Lisans, Lisans, Y.Lisans, Doktora)</b>	Lisans
<b>Dersin AKTS Kredisi</b>	5
<b>Haftalık Ders Saati (Kuramsal)</b>	3
<b>Haftalık Uygulama Saati</b>	0
<b>Haftalık Laboratuvar Saati</b>	2
<b>Dersin Verildiği Yıl</b>	2
<b>Dersin Verildiği Yarıyıl (Ders her iki yarıyıl veriliyorsa yıllık ders olarak belirtilmesi gerekir)</b>	2
<b>Dersin Öğretim Üyesi (Üyeleri)</b>	Yrd. Doç. Dooyoung Hah
<b>Öğretim Sistemi (Örgün Eğitim, Uzaktan Eğitim)</b>	Örgün Öğretim
<b>Eğitim Dili (Türkçe, İngilizce, Almanca)</b>	İngilizce
<b>Dersin Ön Koşulu Olan Ders(ler) (Ön Koşul olan dersler ya da bu dersi başarmak için alınmış olması önerilen dersler varsa yazılması gerekir. Ön koşul ders yoksa "yok" diye belirtilmesi gerekir.)</b>	Yok
<b>Ders İçin Önerilen Diğer Hususlar (Ders için önerilen konular varsa yazılması, yoksa "yok" diye belirtilmesi gerekir.)</b>	Yok
<b>Staj Durumu (Bu dersle ilgili herhangi bir staj uygulaması varsa yazılması, yoksa "yok" diye belirtilmesi gerekir.)</b>	Yok
<b>DERSİN AMACI</b>	Bu dersin amacı; öğrencilere dijital sistemlerin temel yapı taşlarını ve çalışma prensiplerini öğretmek, birleşik ve sıralı devrelerin, yazmaç ve hafızaların, programlanabilir mantık düzeneklerinin çalışma prensiplerini, kullanımlarını ve tasarım tekniklerinin anlatılmasıdır. Dijital sistemlerin yapı taşlarını sistem tasarımına uygulama ve bilgisayar destekli tasarım becerisi kazandırmaktır. FPGA devre tasarımı yazılımlarının kullanımlarına alıştırmaktır. Sayısal sistemlerde donanım tanımlama dillerinin kullanımının anlaşılmasıdır. Laboratuvar deneyleri ve dönem projeleri ile dijital sistemlerin konuları hakkında birinci elden tecrübe sahibi olunmasıdır.

<b>ÖĞRENME ÇIKTILARI</b>	1. Bir sayıyı, bir sayı sisteminden diğer bir sayı sistemine çevirebilme		
	2. Değişik sayı sistemlerinde, işaretli ve işaretli sayılar ile işlem yapabilme becerisi kazanma		
	3. Mantık kapılarının çalışma prensiplerini kavrayabilme		
	4. Dijital ifadelerin sadeleştirilmesi tekniklerini kavrayabilme		
	5. Kodlayıcı, kod çözücü ve çoklayıcıların çalışma prensiplerini kavrayabilme		
	6. Ardışık devrelerin çalışma prensiplerini kavrayabilme		
	7. Yazmaçların ve sayıcıların çalışma prensiplerini kavrayabilme		
	8. Senkron ve asenkron devrelerin çalışma prensiplerini kavrayabilme		
	9. Devre tasarımlarını en verimli ve ekonomik biçimde yapabilme becerisi kazanma		
	10. Dijital sistemler alanındaki gelişmeleri izleyebilme		
	11. Bu deneylerde gerekecek, araç ve gereçleri kullanma becerisini kazanabilme		
	12. Analiz ve sentez işlemleri sonucunda elde edilen verileri; rapor halinde sunup, yorumlayabilme.		
<b>DERSİN İÇERİĞİ</b>	<ul style="list-style-type: none"> <li>• Sayı Sistemleri</li> <li>• Aritmetik işlemler</li> <li>• Mantık Kapıları</li> <li>• Karnough Diyagramları</li> <li>• Kombinasyonel Devre Tasarımı</li> <li>• Flip-Floplar</li> <li>• Birleşimsel Devre Tasarımı</li> <li>• Kaydediciler ve Sayıcılar</li> </ul>		
<b>HAFTALIK AYRINTILI DERS İÇERİĞİ (YARIYILLIK DERSLER İÇİN ARASINAV VE FİNAL SINAVLARI DAHİL EDİLEREK 16 HAFTALIK, YILLIK DERSLER İÇİN ARASINAV VE FİNAL SINAVLARI DAHİL EDİLEREK 30 HAFTALIK)</b>	<b>HAFTA</b>	<b>KONULAR</b>	
		<b>Teorik Dersler</b>	<b>Uygulama</b>
	<b>1</b>	Sayı sistemleri, Aritmetik İşlemler, Sayıların Farklı Tabanlarda Temsili	FPGA Tanıtım
	<b>2</b>	Alfa-Nümerik Kodlar, Bool Cebri, Fonksiyonlar ve Farklı Temsil Yolları	VHDL Programlamaya Giriş - 1
	<b>3</b>	Karno Diyagramları, Fonksiyon Sadeleştirmeleri, Pariteler ve Kullanımları	VHDL Programlamaya Giriş - 2
	<b>4</b>	Dijital Mantık Aileleri, CMOS yapı ile Fonksiyon, Kapı ve Devre Tasarımları	Şematik kullanarak Temel Mantık Fonksiyonu Deneyi
	<b>5</b>	Bileşimsel Devreler, Tasarım Konuları, Bilgisayar-Destekli Tasarım	VHDL ile Kod Çözücü Tasarım Deneyi
	<b>6</b>	Donanım Tanımlama Dilleri (HDL), Analiz Yöntemleri, Simülasyonlar	VHDL ile 3 Bit Toplayıcı Tasarım Deneyi
	<b>7</b>	Kodlayıcılar, Kod-Çözücüler, Çoğullayıcılar, İkili sistemde 4 işlem	VHDL ile Çoğullayıcı Tasarım Deneyi
	<b>8</b>	<b>Vize Sınavı</b>	<b>Vize Sınavı</b>
<b>9</b>	Toplayıcılar, Çıkarıcılar, HDL-VHDL-Verilog Gösterimleri	VHDL Flip-Flop Tasarımı	

	<b>10</b>	Laçler, Flip-Floplar, Sıralı Devre Analizi, Durum Diyagramları	VHDL Asenkron Sayıcı Tasarım Deneyi
	<b>11</b>	Durum Tabloları, Uyarma Tabloları, Sıralı Devre Tasarımı	VHDL Yukarı/Aşağı Sayıcı Tasarım Deneyi
	<b>12</b>	Sıralı Devreler için HDL-VHDL-Verilog Gösterimleri	VHDL Yazmaç Tasarım Deneyi
	<b>13</b>	Yazmaçlar, İleri-Geri Sayıcılar, HDL-VHDL-Verilog Gösterimleri	VHDL Yazmaç Tasarım Deneyi
	<b>14</b>	RAM'lar, ROM'lar	Telafi deneyleri
	<b>15</b>	Programlanabilir Mantık Teknoloji ve Devreleri	Telafi deneyleri
	<b>16</b>	<b>Final Sınavı</b>	<b>Final Sınavı</b>

<b>DERS KİTABI/ MALZEMESİ/ ÖNERİLEN KAYNAKLAR</b>	<b>DERS KİTABI:</b> 1. M.Morris Mano, Charles Kime, "Logic and Computer Design Fundamentals", Prentice Hall 2 <sup>nd</sup> Ed., 2000.
	<b>YARDIMCI KİTAPLAR:</b> 1. Pedroni, Volnei A., "Circuit Design with VHDL", MIT Press Cambridge, Massachusetts London, England, 2004. 2. Thomas C. Floyd, "Digital Fundamentals, Prentice Hall", 1997.

**DEĞERLENDİRME**

<b>Yarıyıl (Yıl) İçi Etkinlikleri</b>	<b>Sayısı</b>	<b>Katkı Yüzdesi %</b>
<b>Laboratuar Vize</b>	<b>1</b>	<b>5.4</b>
<b>Laboratuar Finali</b>	<b>1</b>	<b>8.1</b>
<b>Laboratuar Performans</b>	<b>1</b>	<b>16.5</b>
<b>Dönem Projesi</b>	<b>1</b>	<b>20</b>
<b>Ara Sınav</b>	<b>1</b>	<b>20</b>
<b>Final Sınavı</b>	<b>1</b>	<b>30</b>
<b>TOPLAM</b>		<b>100</b>
<b>Yarıyıl (Yıl) İçi Etkinliklerinin Başarı Notuna Katkısı</b>		<b>70</b>
<b>Yarıyıl (Yıl) sonu sınavının Başarı Notuna Katkısı</b>		<b>30</b>
<b>TOPLAM</b>		<b>100</b>

<b>Dersin Öğrenme, Öğretme ve Değerlendirme Etkinlikleri Çerçevesinde İş yükünün Hesaplanması</b>			
<b>Etkinlikler</b>	<b>Sayısı</b>	<b>Süresi (saat)</b>	<b>Toplam İş Yükü (saat)</b>
<b>Ders</b>	<b>14</b>	<b>3</b>	<b>42</b>
<b>Ders (Laboratuar)</b>	<b>12</b>	<b>2</b>	<b>24</b>
<b>Derste anlatılanların tekrarlanması</b>	<b>14</b>	<b>1</b>	<b>14</b>
<b>İnternet çalışması / kütüphane çalışması</b>	<b>1</b>	<b>2</b>	<b>2</b>
<b>Proje tasarımı ve simülasyon uygulaması</b>	<b>1</b>	<b>8</b>	<b>8</b>
<b>Projenin devre kurulumu ve çalıştırılması</b>	<b>1</b>	<b>8</b>	<b>8</b>
<b>Proje Raporu hazırlama</b>	<b>1</b>	<b>2</b>	<b>2</b>
<b>Laboratuvar önçalışma ve deney raporu hazırlama</b>	<b>12</b>	<b>1</b>	<b>12</b>
<b>Laboratuar vize sınavı hazırlık</b>	<b>1</b>	<b>6</b>	<b>6</b>
<b>Laboratuar vize sınavı</b>	<b>1</b>	<b>2</b>	<b>2</b>
<b>Ders ara sınav hazırlık ve arasınava</b>	<b>1</b>	<b>10</b>	<b>10</b>
<b>Uygulama final sınavına hazırlık</b>	<b>1</b>	<b>12</b>	<b>12</b>
<b>Uygulama final sınavı</b>	<b>1</b>	<b>2</b>	<b>2</b>
<b>Final sınavı hazırlık ve Final Sınavı</b>	<b>1</b>	<b>10</b>	<b>10</b>
<b>TOPLAM</b>	<b>62</b>	<b>68</b>	<b>140</b>
<b>AKTS KREDİSİNİN HESAPLANMASI</b>	<b>154/30</b>		<b>5</b>

<b>Program ve Öğrenme Çıktıları İlişkisi*</b>												
<b>Ders Öğrenme Çıktıları</b>	<b>Program Çıktıları</b>											
	<b>PÇ 1</b>	<b>PÇ 2</b>	<b>PÇ 3</b>	<b>PÇ 4</b>	<b>PÇ 5</b>	<b>PÇ 6</b>	<b>PÇ 7</b>	<b>PÇ 8</b>	<b>PÇ 9</b>	<b>PÇ 10</b>	<b>PÇ 11</b>	<b>PÇ 12</b>
<b>ÖÇ1</b>	2	4	4	1	5	1	1	1	1	1	3	4
<b>ÖÇ2</b>	2	4	4	1	5	1	1	1	1	1	3	4
<b>ÖÇ3</b>	2	4	4	1	5	1	1	1	1	1	3	4
<b>ÖÇ4</b>	2	4	4	1	5	1	1	1	1	1	3	4
<b>ÖÇ5</b>	2	5	5	1	5	1	1	1	1	1	3	5
<b>ÖÇ6</b>	2	4	4	1	5	1	1	1	1	1	3	5
<b>ÖÇ7</b>	2	5	5	1	5	1	1	1	1	1	3	5
<b>ÖÇ8</b>	2	5	5	1	5	1	1	1	1	1	3	5
<b>ÖÇ9</b>	2	5	5	1	5	2	2	2	2	2	3	5

Ek 20: Digital Design Bologna

<b>ÖÇ10</b>	2	4	5	3	5	3	3	3	4	3	3	5
<b>ÖÇ11</b>	2	5	5	2	5	4	4	3	4	4	5	5
<b>ÖÇ12</b>	2	4	5	2	5	4	4	3	3	4	3	5

\***Katkı düzeyi:** 1 Çok düşük, 2 Düşük, 3 Orta, 4 Yüksek, 5 Çok yüksek

**YARIYIL VE YILLIK AKTS KREDİSİ VE İŞ YÜKÜ**

- Bir dönem ⇒ 30 AKTS kredisi ⇒ 750-900 saat
- Bir yıl ⇒ 60 AKTS kredisi ⇒ 1500-1800 saat
- Buna göre 1 AKTS kredisi = 25 – 30 saatlik iş yüküne karşılık gelmektedir

## INDIVIDUAL COURSE DESCRIPTION

<b>Course unit title</b>	Digital Design
<b>Course unit code</b>	EEE 203
<b>Type of course unit(compulsory, optional)</b>	Compulsory
<b>Level of Course Unit (Short cycle, first cycle, second cycle, third cycle)</b>	First Cycle
<b>Number of ECTS Credits Allocated</b>	5
<b>Theoretical (hour/week)</b>	2
<b>Practice (hour/week)</b>	0
<b>Laboratory (hour/week)</b>	2
<b>Year of Study</b>	2
<b>Semester when the course unit is delivered</b>	2
<b>Name of Lecturer(s)</b>	Assist. Prof. Dooyoung Hah
<b>Mode of Delivery (face-to-face, Distance Learning)</b>	Face-to-face
<b>Language of Instruction (Turkish, English, German)</b>	English
<b>Prerequisites and co-re-requisites (Ön Koşul olan dersler ya da bu dersi başarmak için alınmış olması önerilen dersler varsa yazılması gerekir. Ön koşul ders yoksa "yok" diye belirtilmesi gerekir.)</b>	None
<b>Recommended Optional Programme Components (Ders için önerilen konular varsa yazılması, yoksa "yok" diye belirtilmesi gerekir.)</b>	None
<b>Work Placement(s) (Bu dersle ilgili herhangi bir staj uygulaması varsa yazılması, yoksa "yok" diye belirtilmesi gerekir.)</b>	None
<b>Objectives of the Course</b>	To make the students understand the building blocks of digital systems. Understand the operation principles, usage, and design techniques of combinational and sequential circuits, registers and memories, programmable logic arrays. Get familiar with the usage of FPGA programming software. Understand the usage of hardware description languages in digital systems. Have a first hand experience about the topics of digital systems through laboratory experiments and semester projects.
<b>LEARNING OUTCOMES</b>	To provide an opportunity for students to <ol style="list-style-type: none"> <li>1. be able to convert a number from one base system to another</li> <li>2. be able to make operations with signed and unsigned numbers in various bases.</li> <li>3. be able to understand the operating principles of logic gates</li> <li>4. be able to understand the simplifications of digital expressions</li> <li>5. be able to understand the operating principles of decoders, encoders and multiplexers</li> <li>6. be able to understand the operating principles of sequential circuits</li> <li>7. be able to understand the operating principles of registers and</li> </ol>

	counters																																						
	8. be able to understand the operating principles of synchronous and asynchronous digital circuits																																						
	9. gain the ability to make most efficient and economical circuit design																																						
	10. be able to review the developments in this field																																						
	11. be able to use the instruments and tools required for the experiments																																						
	12. be able to report and discuss the results coming from the analysis and synthesis processes.																																						
<b>COURSE CONTENT</b>	<ul style="list-style-type: none"> <li>• Number Systems</li> <li>• Binary Logic and Algebraic Manipulation</li> <li>• Combinational Logic Circuits</li> <li>• Karnough Diagrams</li> <li>• Combinational Logic Design</li> <li>• Flip-Flops</li> <li>• Sequential Circuits</li> <li>• Registers and Counters</li> </ul>																																						
<b>WEEKLY DETAILED COURSE CONTENT</b>  (Yarıyıllık Dersler İçin Arasınave Final Sınavları Dahil Edilerek 16 Haftalık, Yıllık Dersler İçin Arasınave Ve Final Sınavları Dahil Edilerek 30 Haftalık)	<table border="1"> <thead> <tr> <th rowspan="2">WEEK</th> <th colspan="2">SUBJECTS</th> </tr> <tr> <th>Theoretical</th> <th>Practice</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>Number Systems, Arithmetic Operations, Conversion from Decimal to Other Bases</td> <td>Introduction to FPGA</td> </tr> <tr> <td>2</td> <td>Alphanumeric Codes. Boolean Algebra, Map Simplifications</td> <td>Introduction to VHDL - 1</td> </tr> <tr> <td>3</td> <td>Parity Generation and Checking, Karnough Maps,</td> <td>Introduction to VHDL - 2</td> </tr> <tr> <td>4</td> <td>Binary Logic and Gates, Digital Logic Families, Map Simplification,</td> <td>Using Schematic Basic Logic Function Experiment</td> </tr> <tr> <td>5</td> <td>Combinational Circuits, Design Topics, Computer-Aided Design,</td> <td>Using VHDL Decoder Design Experiment</td> </tr> <tr> <td>6</td> <td>Hardware Description Languages (HDL), Analysis Procedure, Logic Simulation,</td> <td>Using VHDL 3 - Bits Adder Design Experiment</td> </tr> <tr> <td>7</td> <td>Decoders, Encoders, Multiplexers, Algebraic Manipulation</td> <td>Using VHDL a Multiplexer Design Experiment</td> </tr> <tr> <td>8</td> <td><b>Midterm Exam</b></td> <td><b>Lab. Midterm Exam</b></td> </tr> <tr> <td>9</td> <td>Binary Adders, Binary Subtraction, Binary Multipliers, HDL Representations – VHDL - Verilog.</td> <td>Using VHDL a JK Flip-Flop Design Experiment</td> </tr> <tr> <td>10</td> <td>Latches, Flip-Flops, State Diagrams, Sequential Circuit Analysis,</td> <td>Using VHDL An asynchronous Counter Design Experiment</td> </tr> <tr> <td>11</td> <td>State Tables, Excitation Tables, Sequential Circuit Design , Designing with Flip-Flops,</td> <td>Using VHDL An Up/Down Synchronous Counter Design Experiment</td> </tr> </tbody> </table>	WEEK	SUBJECTS		Theoretical	Practice	1	Number Systems, Arithmetic Operations, Conversion from Decimal to Other Bases	Introduction to FPGA	2	Alphanumeric Codes. Boolean Algebra, Map Simplifications	Introduction to VHDL - 1	3	Parity Generation and Checking, Karnough Maps,	Introduction to VHDL - 2	4	Binary Logic and Gates, Digital Logic Families, Map Simplification,	Using Schematic Basic Logic Function Experiment	5	Combinational Circuits, Design Topics, Computer-Aided Design,	Using VHDL Decoder Design Experiment	6	Hardware Description Languages (HDL), Analysis Procedure, Logic Simulation,	Using VHDL 3 - Bits Adder Design Experiment	7	Decoders, Encoders, Multiplexers, Algebraic Manipulation	Using VHDL a Multiplexer Design Experiment	8	<b>Midterm Exam</b>	<b>Lab. Midterm Exam</b>	9	Binary Adders, Binary Subtraction, Binary Multipliers, HDL Representations – VHDL - Verilog.	Using VHDL a JK Flip-Flop Design Experiment	10	Latches, Flip-Flops, State Diagrams, Sequential Circuit Analysis,	Using VHDL An asynchronous Counter Design Experiment	11	State Tables, Excitation Tables, Sequential Circuit Design , Designing with Flip-Flops,	Using VHDL An Up/Down Synchronous Counter Design Experiment
	WEEK		SUBJECTS																																				
		Theoretical	Practice																																				
	1	Number Systems, Arithmetic Operations, Conversion from Decimal to Other Bases	Introduction to FPGA																																				
	2	Alphanumeric Codes. Boolean Algebra, Map Simplifications	Introduction to VHDL - 1																																				
	3	Parity Generation and Checking, Karnough Maps,	Introduction to VHDL - 2																																				
	4	Binary Logic and Gates, Digital Logic Families, Map Simplification,	Using Schematic Basic Logic Function Experiment																																				
	5	Combinational Circuits, Design Topics, Computer-Aided Design,	Using VHDL Decoder Design Experiment																																				
	6	Hardware Description Languages (HDL), Analysis Procedure, Logic Simulation,	Using VHDL 3 - Bits Adder Design Experiment																																				
	7	Decoders, Encoders, Multiplexers, Algebraic Manipulation	Using VHDL a Multiplexer Design Experiment																																				
	8	<b>Midterm Exam</b>	<b>Lab. Midterm Exam</b>																																				
	9	Binary Adders, Binary Subtraction, Binary Multipliers, HDL Representations – VHDL - Verilog.	Using VHDL a JK Flip-Flop Design Experiment																																				
10	Latches, Flip-Flops, State Diagrams, Sequential Circuit Analysis,	Using VHDL An asynchronous Counter Design Experiment																																					
11	State Tables, Excitation Tables, Sequential Circuit Design , Designing with Flip-Flops,	Using VHDL An Up/Down Synchronous Counter Design Experiment																																					

	<b>12</b>	HDL Representation for Sequential Circuits-VHDL-Verilog.	Using VHDL A Register Design Experiment
	<b>13</b>	Registers, Ripple Counter, Synchronous Binary Counters, Other Counters, HDL Representation for Shift Registers and Counters-VHDL-Verilog.	Using VHDL A Shifter Design Experiment
	<b>14</b>	RAMs, RAM ICs, Three-State Buffers	Make up experiments
	<b>15</b>	Programmable Logic Technologies, ROMs, PLAs, PALDs, VLSI PLDs.	Make up experiments
	<b>16</b>	<b>Final Exam</b>	<b>Lab. Final Exam</b>

<b>Recommended or Required Reading</b>	<p><b>TEXTBOOK:</b> 1. M.Morris Mano, Charles Kime, "Logic and Computer Design Fundamentals", Prentice Hall 2<sup>nd</sup> Ed., 2000.</p> <p><b>RECOMMENDED BOOKS:</b> 1. Pedroni, Volnei A., "Circuit Design with VHDL", MIT Press Cambridge, Massachusetts London, England, 2004. 2. Thomas C. Floyd, "Digital Fundamentals, Prentice Hall", 1997.</p>
--	--

<b>ASSESSMENT</b>		
Term (or Year) Learning Activities	Quantity	Weight, %
Laboratory Midterm Exam	1	5.4
Laboratory Final Exam	1	8.1
Laboratory Performance	1	16.5
Project	1	20
Midterm Exam	1	20
Final Exam	1	30
<b>TOTAL</b>		<b>100</b>
<b>Contribution of Term (year) Learning Activities to Success Grade</b>		<b>70</b>
<b>Contribution of Final Exam to Success Grade</b>		<b>30</b>
<b>TOTAL</b>		<b>100</b>

<b>Planned Learning Activities, Teaching Methods, Evaluation Methods and Student Workload</b>			
Activities	Quantity	Duration (hour)	Total Work Load (hour)



<b>Lectures</b>	<b>14</b>	<b>3</b>	<b>42</b>
<b>Lectures (Laboratory)</b>	<b>12</b>	<b>2</b>	<b>24</b>
<b>Repetition of the Topics</b>	<b>14</b>	<b>1</b>	<b>14</b>
<b>Internet study / library study</b>	<b>1</b>	<b>2</b>	<b>2</b>
<b>Project design and simulation</b>	<b>1</b>	<b>8</b>	<b>8</b>
<b>Set up the project and run the circuit</b>	<b>1</b>	<b>8</b>	<b>8</b>
<b>Report preparation</b>	<b>1</b>	<b>2</b>	<b>2</b>
<b>Presentation preparation</b>	<b>12</b>	<b>1</b>	<b>12</b>
<b>Laboratory quiz</b>	<b>1</b>	<b>6</b>	<b>6</b>
<b>Quiz preparation</b>	<b>1</b>	<b>2</b>	<b>2</b>
<b>Midterm exam preparation and Exam</b>	<b>1</b>	<b>10</b>	<b>10</b>
<b>Laboratory final exam preparation</b>	<b>1</b>	<b>12</b>	<b>12</b>
<b>Laboratory final exam</b>	<b>1</b>	<b>2</b>	<b>2</b>
<b>Final exam preparation and Final exam</b>	<b>1</b>	<b>10</b>	<b>10</b>
<b>TOTAL</b>	<b>62</b>	<b>68</b>	<b>154</b>
<b>ECTS Credits</b>	<b>154/30</b>		<b>5</b>

**Contribution of Learning Outcomes to Programme Outcomes\***

Learning Outcomes	Programme Outcomes											
	PO 1	PO 2	PO 3	PO 4	PO 5	PO 6	PO 7	PO 8	PO 9	PO 10	PO 11	PO 12
<b>LO 1</b>	2	4	4	1	5	1	1	1	1	1	3	4
<b>LO 2</b>	2	4	4	1	5	1	1	1	1	1	3	4
<b>LO 3</b>	2	4	4	1	5	1	1	1	1	1	3	4
<b>LO 4</b>	2	4	4	1	5	1	1	1	1	1	3	4
<b>LO 5</b>	2	5	5	1	5	1	1	1	1	1	3	5
<b>LO 6</b>	2	4	4	1	5	1	1	1	1	1	3	5
<b>LO 7</b>	2	5	5	1	5	1	1	1	1	1	3	5
<b>LO 8</b>	2	5	5	1	5	1	1	1	1	1	3	5
<b>LO 9</b>	2	5	5	1	5	2	2	2	2	2	3	5
<b>LO 10</b>	2	4	5	3	5	3	3	3	4	3	3	5
<b>LO 11</b>	2	5	5	2	5	4	4	3	4	4	5	5
<b>LO 12</b>	2	4	5	2	5	4	4	3	3	4	3	5

\* **Contribution level:** 1 Very Low, 2 Low, 3 Medium, 4 High, 5 Very High